

⑯ 日本国特許庁 (JP)  
⑰ 公開特許公報 (A)

⑪ 特許出願公開  
昭59—222947

⑯ Int. Cl.<sup>3</sup>  
H 01 L 23/12  
25/14  
H 05 K 3/34

識別記号

厅内整理番号  
7357—5F  
7638—5F  
6810—5F

⑯ 公開 昭和59年(1984)12月14日  
発明の数 2  
審査請求 未請求

(全 4 頁)

⑯ 半導体装置およびその製造方法

⑯ 特 願 昭58—98351  
⑯ 出 願 昭58(1983)6月2日

⑯ 発明者 高橋弘  
門真市大字門真1006番地松下電  
器産業株式会社内

⑯ 発明者 北広勇

門真市大字門真1006番地松下電  
器産業株式会社内

⑯ 発明者 畑田賢造  
門真市大字門真1006番地松下電  
器産業株式会社内  
⑯ 出願人 松下電器産業株式会社  
門真市大字門真1006番地  
⑯ 代理人 弁理士 中尾敏男 外1名

明細書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 枠体の一主面上に配設された電極端子の前記  
枠体の内方向に突出した部分の先端には前記枠体  
の開孔部に挿入された半導体素子の電極が接続さ  
れ、かつ前記電極端子の前記枠体の外方向に突出  
した部分が前記枠体の外周で折り曲げられ、枠体  
側面に固定されたことを特徴とする半導体装置。  
(2) 半導体素子の底面が枠体底面より突出してい  
ないことを特徴とする特許請求の範囲第1項記載  
の半導体装置。  
(3) 枠体が金型で構成され、かつ全表面が絶縁物  
で被覆されたことを特徴とする特許請求の範囲第  
1項記載の半導体装置。  
(4) 半導体素子を配設するためのデバイス孔が開  
口された枠体の一主面上に複数本の電極端子が配  
設され、前記デバイス孔に突出した前記電極端子  
の先端と半導体素子上の電極とを接合する工程と、

前記枠体の周縁を越えて延在する電極端子を所定  
の位置で切断する工程と、切断された前記電極端子  
を前記枠体の周縁部で折り曲げ前記枠体へ側面  
に配置する工程を有する半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、高密度実装に適した半導体装置の構造  
とその製造方法に関するものである。

従来例の構成とその問題点

近年、機器の小型化・薄型化に伴い高密度実装  
技術が強く要望されるようになって来た。そのた  
めに半導体素子の接続にもワイヤレスボンディング  
技術が広く使用されるようになって来た。以下  
第1図にフリップチップを第2図にはフィルムキ  
ヤリヤ(以下T A Bと呼ぶ)の例を示す。

第1図において、1は半導体素子、2, 2'は  
半田バンプ、3は基板、4は導体、5, 5'は半  
田バンプが接合される領域である。第1図の例で  
は半導体素子上の電極の上に半田で突起電極が形  
成されるため、基板への接続及び多数個実装する

6は基板11に接着剤14を用いて固定される。

しかしながら、上記の例では電極は一面にしかついていない上、フェイスダウンで接合する際に位置合わせが困難である。

また、他の従来例としてT A Bの断面スケッチ図を第2図に示した。第2図において、6は半導体素子、7は半導体素子7上に形成されたAl突起電極、8はSnメッキCuリード、9はポリイミドフィルム、10、10'は外部回路と接続するための領域である。この場合、半導体素子6上に形成されたAl電極7とCuリード8上のSnメッキで合金接続されるため、その信頼性は極めて高いとされている。さらに第2図の半導体装置を基板に搭載した例を第3図に示した。第3図において、第2図と同一箇所には同一番号を付した。11は基板、12は導体配線、13は外部回路との接続部分、14は半導体素子を接合固定している接着剤又は半田である。このようにリード8は一度成形され(フォーミングと呼ぶ)、領域13で導体配線12に接続される。必要な場合、半導体素子

#### 発明の目的

本発明は半導体素子のレベルで充分機能検査することができる、かつ配線基板への高密度実装が容易であり、さらには立体的に積層したとき、各半導体素子間の相互接続が容易なる半導体装置を提供することを目的とする。

#### 発明の構成

本発明の枠体の正面に接続された電極端子の内方向に突出した端には半導体素子を接続し、他の端は所定の場所で切断され、かつ枠体の側面に接続されたもので高密度に実装しうる半導体装置を提供するものである。

#### 実施例の説明

第4図は本発明の一実施例を示す断面図である。第4図において21は半導体素子、22は枠体、23は電極端子、24は枠体の側面に曲げられ接続された電極端子、25は突起電極、26は樹脂である。

本実施例では枠体22はポリイミド樹脂で、電極端子23は錫メッキされた銅リードである。電極端子23の一方の端には半導体素子21が、金突起電極25を介して接続されている。また、電極端子23の他の端は枠体の周縁で曲げられ、24の如く枠体側面に接続されている。なお、半導体素子21の上面、下面是樹脂26で被覆されている。電極端子23の端部24は使用上の都合により枠体22の厚さよりも短かくした方が良い。

なお、本発明の実施例の製造工程を第5図により説明する。第5図において、第4図と同一箇所には同一番号を付した。第5図2はT A B方式に使用されるキャリヤテープの部分拡大図である。即ち、絶縁性樹脂22上に電極端子23が固定さ

れている。22は半導体素子を挿入する部分を囲んで枠体を構成している。A、A'は電極端子の切断場所を示している。次に電極端子の一方に半導体素子21の突起電極25を接合し、樹脂26で被覆した後、A、A'で切断したものが、第6図の如である。この状態で、電極端子を枠体の側面に沿って曲げ、固定したものが第5図である。この場合、電極端子の折り曲げ部24で外部回路との接続を行なう。また、第6図では電極端子24が、枠体22の厚さとほど等しい長さとした場合によっては短かくした方が良い。

次に本発明の半導体装置の実装例を第6図、第7図を用いて説明する。

第6図は本発明の半導体装置を基板に実装した状態を示す。第6図において61は基板、62は導体配線、63は半田付け部分、64は本発明の半導体装置である。半導体装置64はその電極端子23の部分で基板61上の導体配線62に半田付けされる。

また、第7図は本発明の半導体装置の第二の実

実例を示す。第7図において、71, 72, 73は本発明による半導体装置、74は半田接続部分である。なお、半導体装置71, 72, 73は第4図に示すものと同じであり、各部分は第4図と同一番号を付した。第7図は本発明の半導体装置を重ねたもので、相互の間は接着剤75で接着され、かつ、電極端子23は所定の箇所74が半田付けされる。このような構造は、例えばICメモリーを多数個使用するときに今後必要となるものである。

#### 発明の効果

以上述べた如く、本発明によれば側面に電極端子を有する小型・薄型の半導体装置が実現できる上、さらにこの状態で機能検査が可能であり、基板に実装した段階での歩留りは極めて高い。また本発明の半導体装置は第7図に示す如く、タテ方向に横層することができ、また相互のチップ間配線が容易なため、メモリーIC等の三次元ハイブリッド化が可能となる。

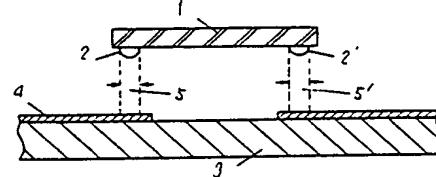
#### 4、図面の簡単な説明

第1図、第2図、第3図は従来の半導体実装体の断面図、第4図は本発明の一実施例の半導体装置の断面図、第5図はa, b, c本発明の半導体装置の製造方法の工法断面図、第6図は本発明の半導体装置の実装例の断面図、第7図は本発明半導体装置の他の実装例の断面図である。

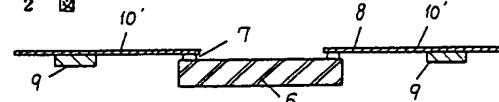
21……半導体素子、22……枠体、23……電極端子、26……樹脂、61……基板、64, 71, 72, 73……本発明の半導体装置、63, 74……半田付け部分、75……接着剤。

代理人の氏名 弁理士 中尾敏男 ほか1名

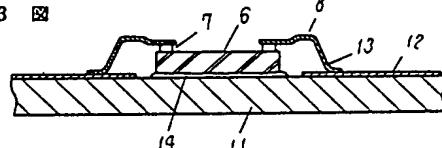
第1図



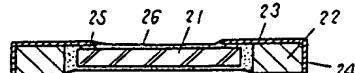
第2図

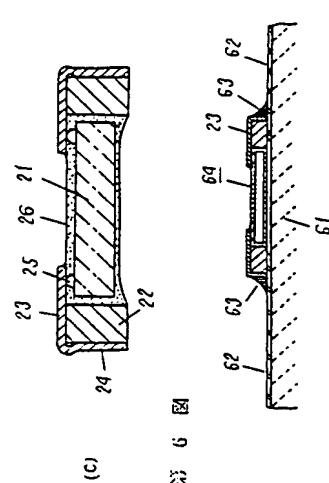
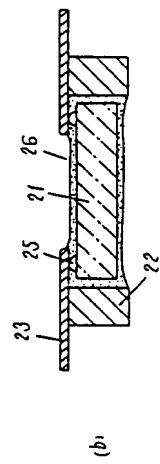
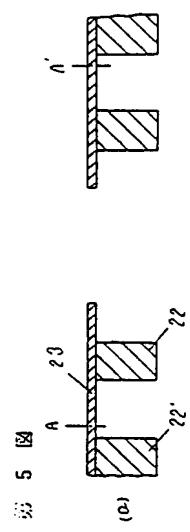


第3図



第4図





## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 59-222945 (A) (43) 14.12.1984 (19) JP

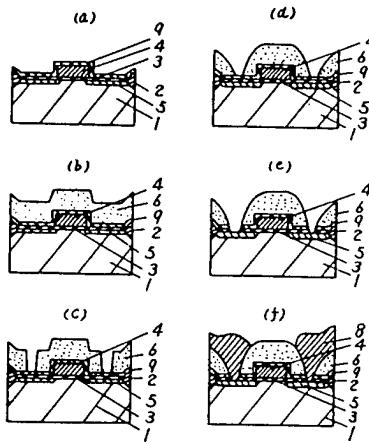
(21) Appl. No. 58-98386 (22) 2.6.1983

(71) MATSUSHITA DENSHI KOGYO K.K. (72) SHIYUUCHI MAYUMI

(51) Int. Cl<sup>3</sup>. H01L21/88, H01L21/94

**PURPOSE:** To contrive not to generate the oxidation of a silicon substrate or a polycrystalline silicon layer in a reflow treating process to be performed after the pattern of a BPSG was formed by a method wherein a silicon nitride film is provided under the coated film of the BPSG.

**CONSTITUTION:** A Locos film 2, a gate oxide film 3 and a polycrystalline silicon gate layer 4 are formed on a silicon substrate 1 and a diffusion layer 5 is further provided in the substrate 1, and at the same time, a silicon nitride film 9 is coated on the whole area of their surfaces. Then, a BPSG film 6 is coated on the silicon nitride film 9, a thermal treatment (flow) is performed and the silicon nitride film 9 at contact hole parts are left without being performed an etching. A heating treatment is performed to reflow the BPSG film 6. The silicon nitride film 9 left at the contact hole parts is performed a plasma etching in CF<sub>4</sub> gas, for example. Furthermore, the silicon oxide coating 3 left at the contact hole parts is etched with fluoric acid, that is, ammon fluoride system-water solution. Lastly, by forming an Al wiring 8, an MOS transistor is formed.



## (54) SEALING METHOD OF CERAMIC CAP FOR SEMICONDUCTOR ELEMENT PROTECTION

(11) 59-222946 (A) (43) 14.12.1984 (19) JP

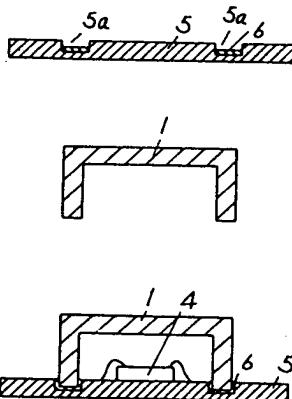
(21) Appl. No. 58-98345 (22) 2.6.1983

(71) MATSUSHITA DENKI SANGYO K.K. (72) EIJI OONO(2)

(51) Int. Cl<sup>3</sup>. H01L23/02

**PURPOSE:** To enable to protect a semiconductor element more completely, to shorten the working time to be required for ceramic cap mounting and to control the spewing amount of bonding agent at adhering parts by a method wherein in a ceramic cap is conducted to recessed parts provided in a ceramic substrate and a sealing is performed.

**CONSTITUTION:** Recessed parts 5a have been provided in an alumina substrate 5 and an epoxy resin 6 has been provided at the recessed parts 5a as a bonding agent. No bonding agent has been used at the connection parts of the ceramic cap 1. The opening end parts of the ceramic cap 1 are inserted in the recessed parts 5a of the alumina substrate 5 and, by heating, pressing and sealing, the sealing for the ceramic cap 1 is completed.



## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 59-222947 (A) (43) 14.12.1984 (19) JP

(21) Appl. No. 58-98351 (22) 2.6.1983

(71) MATSUSHITA DENKI SANGYO K.K. (72) HIROSHI TAKAHASHI(2)

(51) Int. Cl<sup>3</sup>. H01L23/12, H01L25/14, H05K3/34

**PURPOSE:** To enable to perform a functional inspection on the level of a semiconductor element and to facilitate a higher density-mounting on a wiring substrate by a method wherein the semiconductor element is connected to an electrode terminal adhered to the main surface of a frame body at one end thereof which has protruded to the inner direction of the electrode terminal, the other end is cut at a prescribed place and the bent part of the connected element is adhered to the side of the frame body.

**CONSTITUTION:** An electrode terminal 23 has been adhered on an insulative resin 22. The protruded electrode 25 of a semiconductor element 21 is jointed to one side of the electrode terminal 23 and after a coating was performed with a resin 26, the connected semiconductor element 21 is cut at A and A'. In this condition, the electrode terminal 23 is bent along the side of the frame body 22 and adhered. In this case, a connecting with external circuits is performed at the bent part 24 of the electrode terminal 23. The electrode terminal 24 has been made into a nearly equal length to the thickness of the frame body 22, but it is better to shorten according to circumstances.

